

Searching PAJ

第1頁，共2頁

Cite No. 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150893

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 21/306

H01L 27/12

(21)Application number : 10-323035

(71)Applicant : NEC CORP

(22)Date of filing : 13.11.1998

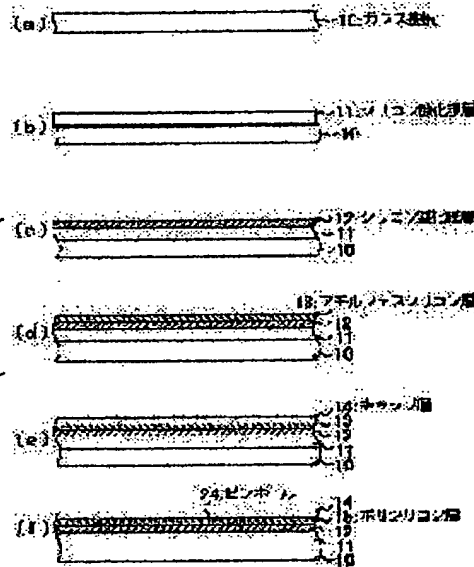
(72)Inventor : SHIODA KUNIHIRO

(54) THIN-FILM TRANSISTOR AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a polysilicon TFT that has the superior transmittance at an opening, at the same time, can secure the flatness of wiring formation part even when cap annealing is made, and prevents the burnout of aluminum wiring, and its manufacturing method.

SOLUTION: In a polysilicon TFT, a silicon oxide film layer 11, a silicon nitride film layer 12, an amorphous silicon layer 13, and a cap layer 14 are laminated in this order, and ELA treatment is made via the cap layer, thus forming polysilicon 15. Also, in the polysilicon TFT, the silicon nitride film layer is eliminated by wet etching after excimer laser annealing.



LEGAL STATUS

[Date of request for examination] 13.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3237630

[Date of registration] 05.10.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-150893
(P2000-150893A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int. Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 2 7 G 5 F 0 4 3
21/336		27/12	R 5 F 1 1 0
21/306		21/308	E
27/12		29/78	6 2 6 C

審査請求 有 請求項の数12 O L (全 8 頁)

(21) 出願番号 特願平10-323035

(22) 出願日 平成10年11月13日 (1998. 11. 13)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 植田 国弘

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

Fターム (参考) 5F043 AA10 AA33 AA35 BB22 DD15

5F110 AA30 BB01 DD02 DD13 DD14

DD17 FF02 GG02 GG13 GG47

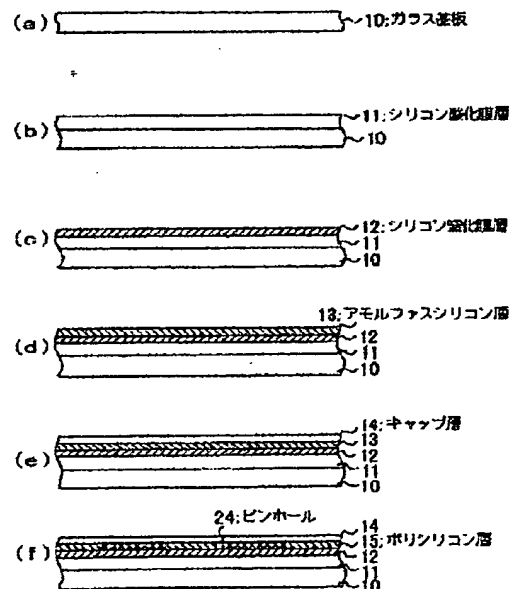
PP03

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】 (修正有)

【課題】開口部における光の透過率に優れ、かつ、キャップアニールを行っても配線形成部の平坦性が確保でき、アルミ配線が断線することのないポリシリコンTFT及びその製造方法の提供。

【解決手段】ガラス基板上に、シリコン酸化膜層11と、シリコン窒化膜層12と、アモルファスシリコン層13と、キャップ層14とがこの順に積層され、キャップ層を介してELA処理を行うことによりポリシリコン15が形成されたポリシリコンTFTであって、エキシマレーザアニール後、シリコン窒化膜層がウエットエッチングによって除去されてなる。



(12) 000-150893 (P2000-150893A)

1

【特許請求の範囲】

【請求項1】第1の絶縁層と、第2の絶縁層と、アモルファスシリコン層と、キャップ層とがこの順に積層された基板に、前記キャップ層を介してエキシマレーザアニール（ELA）処理を施すことにより、前記アモルファスシリコン層がポリシリコン層に変換されてなるポリシリコン薄膜トランジスタ（TFET）であって、前記ポリシリコン層の所定の領域を除去して形成された開口領域では、前記第2の絶縁層が除去されている、ことを特徴とするポリシリコンTFET。

【請求項2】前記第2の絶縁層が、前記キャップ層のエッチャントに対して耐性を有する材料からなる、ことを特徴とする請求項1記載のポリシリコンTFET。

【請求項3】前記第2の絶縁層が、前記第2の絶縁層のエッチャントに対してエッチレートが小さい材料からなる、ことを特徴とする請求項1又は2に記載のポリシリコンTFET。

【請求項4】前記第2の絶縁層のエッチャントに対する前記第1の絶縁層のエッチレートが、前記第2の絶縁層のエッチレートの1/10以下である、ことを特徴とする請求項1又は2に記載のポリシリコンTFET。

【請求項5】前記第1の絶縁層と、前記キャップ層とがシリコン酸化膜よりなり、前記第2の絶縁層がシリコン窒化膜よりなる、ことを特徴とする請求項1乃至4のいずれかに記載のポリシリコンTFET。

【請求項6】前記第2の絶縁層の膜厚が、ELAに際して前記ポリシリコンとの界面に形成される凹凸よりも大きい膜厚に設定されている、ことを特徴とする請求項1乃至5のいずれかに記載のポリシリコンTFET。

【請求項7】前記第2の絶縁層の膜厚が50nm以上に設定されている、ことを特徴とする請求項1乃至5のいずれかに記載のポリシリコンTFET。

【請求項8】（a）基板上に第1の絶縁層を形成する工程と、

（b）前記第1の絶縁層の上に、第2の絶縁層を形成する工程と、

（c）前記第2の絶縁層の上に、アモルファスシリコン層を形成する工程と、

（d）前記アモルファスシリコン層をELAによってポリシリコン層に変換する工程と、

（e）前記ポリシリコンの所定の領域を、前記第2の絶縁層が露出するまでドライエッチングにより除去し、能動領域を形成する工程と、

（f）前記能動領域以外の前記第2の絶縁層を、前記第1の絶縁層が露出するまでウェットエッチングにより除去する工程と、を含むことを特徴とするポリシリコンTFETの製造方法。

【請求項9】（a）基板上に第1の絶縁層を形成する工程と、

（b）前記第1の絶縁層の上に、第2の絶縁層を形成す

2

る工程と、

（c）前記第2の絶縁層の上に、アモルファスシリコン層を形成する工程と、

（d）前記アモルファスシリコン層の上に、キャップ層を形成する工程と、

（e）前記キャップ層を介して、前記アモルファスシリコン層をELAによってポリシリコン層に変換する工程と、

（f）前記キャップ層をウェットエッチングにより除去する工程と、

（g）前記ポリシリコンの所定の領域を、前記第2の絶縁層が露出するまでドライエッチングにより除去し、能動領域を形成する工程と、

（h）前記能動領域以外の前記第2の絶縁層を、前記第1の絶縁層が露出するまでウェットエッチングにより除去する工程と、を含むことを特徴とするポリシリコンTFETの製造方法。

【請求項10】前記第1の絶縁層が、前記第2の絶縁層のエッチャントに対してエッチレートが1/10以下の材料からなる、ことを特徴とする請求項8記載のポリシリコンTFETの製造方法。

【請求項11】前記第2の絶縁層が、前記キャップ層のエッチャントに対して耐性を持つ材料からなり、前記第1の絶縁層が、前記第2の絶縁層のエッチャントに対してエッチレートが1/10以下の材料からなる、ことを特徴とする請求項9記載のポリシリコンTFETの製造方法。

【請求項12】前記第1の絶縁層と、前記キャップ層とがシリコン酸化膜よりなり、前記第2の絶縁層がシリコン窒化膜よりなる、ことを特徴とする請求項8乃至11のいずれかに記載のポリシリコンTFETの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ（TFET）に関し、特に、エキシマレーザアニール（ELA）によりアモルファスシリコンをポリシリコンに変換してなるポリシリコンTFETに関する。

【0002】

【従来の技術】主にLCDのスイッチング素子として開発・実用化されてきたアモルファスシリコンTFETの高性能化・高精細化および、ガラス基板上への回路形成実現のために、トランジスタの活性層に多結晶シリコンを用いたポリシリコンTFETが開発されている。活性層に用いる多結晶シリコンは結晶材料であるために、非晶質材料であるアモルファスシリコンに比べて移動度が100倍程度高くなるという利点がある。

【0003】ここで、従来のポリシリコンTFETの製造方法について、工程断面図である図5を参照して説明する。まず、ガラス基板10上にLPCVD法またはPECVD法によりシリコン酸化膜層11を形成し（図5

(3) 000-150893 (P2000-150893A)

3

(b) 参照)、その上に、LPCVD法またはプラズマCVD法によりアモルファスシリコン層13を形成する(図5(c)参照)。次に、図5(d)に示すように、エキシマレーザアニールを行い、アモルファスシリコン層13の所定の領域を結晶化して、ポリシリコン層15を形成する。この後、ゲート酸化膜16を形成し(図5(e)参照)、シリコン酸化膜層11が露出するまでドライエッチングによりエッチングを行い、ポリシリコン層15を島状に分割する。

【0004】以上の工程によって製造したポリシリコンTFTは、ELAの際にアモルファスシリコン層13が露出しているために、結晶化したポリシリコン層15の表面に凹凸が形成されてしまう。そこで、これを防ぐためにキャップ層を形成するという方法が用いられる。これは、ELA実施前にアモルファスシリコン層の上にシリコン酸化膜層をキャップ膜として形成し、アニールを行うというものであり、粒径ばらつきの抑制と表面ラフネスの低減という2つのメリットが得られる。

【0005】キャップ層を形成してELAを行うポリシリコンTFTの製造方法について、図6及び図7を参照して説明する。まず、ガラス基板10にLPCVD法またはPECVD法でシリコン酸化膜層11を形成した後(図6(b)参照)、LPCVD法またはプラズマCVD法でアモルファスシリコン層13を形成する(図6(c)参照)。さらにその上にLPCVD法またはプラズマCVD法でキャップ層となるシリコン酸化膜層14を形成し、ELAによってキャップアニールを行い、アモルファスシリコン層13の所定の領域を結晶化して、ポリシリコン層15を形成する。その後、シリコン酸化膜層14をエッチング除去し(図7(f)参照)、開口となる領域のポリシリコン層15をドライエッチングで除去し、ポリシリコン層15を島状に分割する。

【0006】

【発明が解決しようとする課題】しかしながら、従来のポリシリコンTFTでは、LCDのようにバックライトを使用して輝度を確保する表示デバイスの場合、ガラス基板上のTFTデバイスの形成領域以外の領域、すなわち開口部における光の透過率が小さくなり、表示させた時の輝度が低減するという問題がある。

【0007】その理由は、ポリシリコン層15のドライエッチングの際に、下地膜であるシリコン酸化膜層11もダメージを受け、また、ポリシリコン層15とその下地膜との界面は、ELAの際にシリコン原子の移動に起因する凹凸が形成される。従って、図5(f)及び(f')の部分拡大図である(f')に示すように、シリコン酸化膜層11の表面は凹凸が多数存在する状態になってしまい、従来のプロセスでは、この凹凸が最後まで残ってしまうため、開口部における光の透過率が低減してしまうからである。

【0008】また、キャップアニール法の場合には、ポ

4

リシリコン層15の除去領域上に形成する配線層がELAの際にポリシリコン層15に生じるピンホール24に起因する窪みによって断線してしまうという問題が生じる。

【0009】その理由は、図7(f)に示すように、キャップ層となるシリコン酸化膜層14をエッチング除去する際、ポリシリコン層17中に発生したピンホールを通して、エッチング液が下地膜にしみ込み、キャップ層と同じ部材でできているシリコン酸化膜層11もエッチングして空洞部分21を形成し、その後の工程においてもこの空洞部分21は凹部22として残り、図7(f)の部分拡大図である(f')に示すように、アルミ配線を断線させてしまうからである。

【0010】本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、開口部における光の透過率に優れ、かつ、キャップアニールを行っても配線形成部の平坦性が確保でき、アルミ配線が断線することのないポリシリコンTFT及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明は、第1の絶縁層と、第2の絶縁層と、アモルファスシリコン層と、キャップ層とがこの順に積層された基板に、前記キャップ層を介してELA処理を施すことにより、前記アモルファスシリコン層がポリシリコン層に変換されてなるポリシリコンTFTであって、前記ポリシリコン層の所定の領域を除去して形成された開口領域では、前記第2の絶縁層が除去されているものである。

【0012】本発明においては、前記第2の絶縁層が、前記キャップ層のエッチャントに対して耐性を有する材料からなり、前記第1の絶縁層が、前記第2の絶縁層のエッチャントに対してエッチレートが1/10以下の材料からなることが好ましく、前記第2の絶縁層の膜厚が、ELAに際して前記ポリシリコンとの界面に形成される凹凸よりも大きい膜厚、好ましくは50nm以上に設定されている構成とすることができ。

【0013】本発明の製造方法は、(a)基板上に第1の絶縁層を形成する工程と、(b)前記第1の絶縁層の上に、第2の絶縁層を形成する工程と、(c)前記第2の絶縁層の上に、アモルファスシリコン層を形成する工程と、(d)前記アモルファスシリコン層をELAによってポリシリコン層に変換する工程と、(e)前記ポリシリコンの所定の領域を、前記第2の絶縁層が露出するまでドライエッチングにより除去し、能動領域を形成する工程と、(f)前記能動領域以外の前記第2の絶縁層を、前記第1の絶縁層が露出するまでウェットエッチングにより除去する工程と、を含むものである。

【0014】また、本発明の製造方法は、(a)基板上に第1の絶縁層を形成する工程と、(b)前記第1の絶

(4) 000-150893 (P2000-150893A)

5

緑層の上に、第2の絶縁層を形成する工程と、(c) 前記第2の絶縁層の上に、アモルファスシリコン層を形成する工程と、(d) 前記アモルファスシリコン層の上に、キャップ層を形成する工程と、(e) 前記キャップ層を介して、前記アモルファスシリコン層をELAによってポリシリコン層に変換する工程と、(f) 前記キャップ層をウェットエッチングにより除去する工程と、(g) 前記ポリシリコンの所定の領域を、前記第2の絶縁層が露出するまでドライエッチングにより除去し、能動領域を形成する工程と、(h) 前記能動領域以外の前記第2の絶縁層を、前記第1の絶縁層が露出するまでウェットエッチングにより除去する工程と、を含むものである。

【0015】本発明においては、前記第1の絶縁層と、前記キャップ層とがシリコン酸化膜よりなり、前記第2の絶縁層がシリコン窒化膜よりなることが好ましい。

【0016】

【発明の実施の形態】本発明に係るポリシリコンTFTは、その好ましい一実施の形態において、ガラス基板(図3(e)の10)上に、シリコン酸化膜層(図3(e)の11)と、シリコン窒化膜層(図3(e)の12)と、アモルファスシリコン層(図3(e)の13)と、キャップ層(図3(e)の14)とがこの順に積層され、キャップ層を介してELA処理を行うことによりポリシリコン(図3(f)の15)が形成されたポリシリコンTFTであって、ELA後、シリコン窒化膜層がウェットエッチングによって除去されてなるものである。

【0017】本発明の構成によれば、ポリシリコンTFTを形成する際のELA工程前に、ポリシリコン層とシリコン酸化膜層との間にシリコン窒化膜層が挿入され、アイランドエッチング工程においてポリシリコン層をドライエッチングで除去した後、ポリシリコン層直下のシリコン窒化膜層をウェットエッチングで除去する。このように、ELAの際及びポリシリコン層のドライエッチングの際に表面に凹凸が形成されたシリコン窒化膜層を除去することでシリコン酸化膜層の表面を平坦にすることができ、LCDパネルにしたときの開口部における透過率の低下を防止することができる。

【0018】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0019】【実施例1】本発明の第1の実施例に係るポリシリコンTFTについて、図1及び図2を参照して説明する。図1及び図2は、ポリシリコンTFTの製造方法を模式的に説明するための工程断面図である。

【0020】まず、図1(b)に示すように、ガラス基板10上に膜厚約500nmのシリコン酸化膜(SiO_x)層11を形成する。このシリコン酸化膜層11は、

6

原料ガスとしてSiH₄とO₂、またはSi₂H₆とO₂を用い、LPCVD又はプラズマCVDで形成される。この時の基板温度は、LPCVDの場合は400℃以下、プラズマCVDの場合は350℃以下とする。

【0021】次に、図1(c)に示すように、シリコン酸化膜層11の上にシリコン窒化膜(SiN_x)層12を形成する。このシリコン窒化膜層12の緩衝フッ酸に対するエッチングレートはシリコン酸化膜層11に対するエッチングレートの1/10以下とし、膜厚は後に述べるポリシリコン層14とシリコン窒化膜層12との界面に形成される凹凸に比べて十分に大きくなるように50nm以上とすることが好ましい。

【0022】次に、図1(d)に示すように、シリコン窒化膜層12の上に非晶質シリコン(アモルファスシリコン)層13を形成する。このアモルファスシリコン層13は、原料ガスとしてSi₂H₆を用いたLPCVDで形成され、膜厚は約50~75nmである。この時の基板温度は約450℃とする。そして、エキシマレーザアニール(ELA)法によりアモルファスシリコン層13を結晶化し、多結晶シリコン(ポリシリコン)層15を形成する。ここで、ELAでポリシリコン層15形成する際に、ポリシリコン層15の下地層であるシリコン窒化膜層12との界面にはシリコン原子の移動に起因する、高さ10nm程度の凹凸が形成される。

【0023】次に、ゲート酸化膜16を形成した後(図2(f)参照)、島状のポリシリコン層17が残るように所定の領域のゲート酸化膜層16をウェットエッチングで除去した後、ポリシリコン層15をドライエッチングによってシリコン窒化膜層12が露出するまでエッチングする(図2(g)参照)。この際、シリコン窒化膜層12の表面にはドライエッチングのダメージによって更に凹凸が形成される。続いて、図2(h)に示すように、シリコン窒化膜層12をウェットエッチングによって除去してシリコン酸化膜層11を露出させると、図2(h)の部分拡大図である(h')に示すように、表面凹凸が1nm以下の平坦な開口部を有するポリシリコンTFTを製造することができる。

【0024】このように、本実施例では、ポリシリコン層15とシリコン酸化膜層11の間にシリコン窒化膜層12を挿入し、アイランドエッチの際にポリシリコン層15をドライエッチングし、続いて、シリコン窒化膜層12をウェットエッチングにより除去することでシリコン酸化膜層11の表面を露出している。ここで、シリコン窒化膜層12の表面は、ELA及びポリシリコン層15のドライエッチングのダメージにより表面ラフネスが大きくなっているが、このシリコン窒化膜層12はウェットエッチングにより除去されるため、シリコン酸化膜層11の表面を平坦に保つことができる。従って、開口部表面には散乱により光の透過率が低下するような表面ラフネスが存在せず、良好な表示特性が得られるという

(5) 000-150893 (P2000-150893A)

7

効果が得られる。本実施例の製造方法によって形成した開口部とシリコン酸化膜層11の界面に形成された凹凸がそのまま残った場合を比較すると、本実施例では透過率が従来に比べて約30%改善されている。

【0025】なお、シリコン窒化膜層12用のエッチャントに対するシリコン酸化膜層11のエッチレートは、シリコン窒化膜層12のエッチレートの略1/10以下となるような材料を選択することによって、エッチングはシリコン窒化膜層12/シリコン酸化膜層11界面でストップし、シリコン酸化膜層11をエッチングすることなく、表面の平坦性を保つことができる。

【0026】【実施例2】次に、本発明の第2の実施例に係るポリシリコンTFTについて、図3及び図4を参照して説明する。図3及び図4は、第2の実施例に係るポリシリコンTFTの製造方法を模式的に説明するための工程断面図である。

【0027】前記した第1の実施例と同様に、ガラス基板10上にシリコン酸化膜11、シリコン窒化膜12、アモルファスシリコン13をこの順に積層する(図3(d)参照)。次に、図3(e)に示すように、アモルファスシリコン層13上にキャップ膜としてシリコン酸化膜(SiO_x膜)層14を形成し、この上からELAを行い、ポリシリコン層15を形成する(図3(f)参照)。

【0028】このシリコン酸化膜層14の膜厚は、ELAの際にレーザのエネルギーがもっとも効率よくアモルファスシリコン層13に伝わる膜厚を選択する。例えば、波長308nmのエキシマレーザを使用する場合、もっとも効率が良くなるシリコン酸化膜層14の膜厚は約50nmである。キャップアニールでポリシリコン層15を形成する場合も、ポリシリコン層15の下地層であるシリコン窒化膜層12とポリシリコン層15の界面に、高さ10nm程度の凹凸が形成される。

【0029】次に、シリコン酸化膜層14を緩衝フッ酸でエッチング除去し(図4(g)参照)、ゲート酸化膜16を形成した後(図4(h)参照)、ポリシリコン層15をエッチングしてTFTの活性層となる島状ポリシリコン16と開口部17を形成する(図4(i)参照)。この際、ゲート酸化膜16→ポリシリコン層15→シリコン窒化膜層12の順にエッチングすることで、ポリシリコン層15とシリコン窒化膜層12との界面にある高さ10nm程度の凹凸部がすべて除去され、表面凹凸が1nm以下という平坦な開口部が形成される。

【0030】また、キャップアニールによってポリシリコン層15を形成する場合、ELA強度がある一定以上の強さになると、ポリシリコン層15内に空洞部分21が形成される。このエネルギー強度は良好な結晶性のポリシリコン層15を得るためのELA強度の直上にあるため、レーザの強度ばらつきが発生すると、良好なTFT特性が得られるポリシリコン層15には空洞部分21

8

が存在する可能性が高い。このような構造のものをシリコン酸化膜層14を緩衝フッ酸でエッチング除去する場合、本実施例のようにポリシリコン層15とシリコン酸化膜層11との間にシリコン窒化膜層12があると、緩衝フッ酸が空洞部分21から侵入した場合にもシリコン窒化膜層12がエッチングされることはなく、その後の工程に悪影響を及ぼすことはない。

【0031】これに対して、図6に示すように、ポリシリコン層15とガラス基板10との間がシリコン酸化膜層11のみである場合、緩衝フッ酸が空洞部分21から侵入しシリコン酸化膜層11がエッチングされることになる。この為に、開口部17を形成した時に大きな凹部22が存在することになり、この後の工程で層間絶縁膜層19及びアルミ配線20を形成する際の形状にも大きな影響を与える。特に、アルミ配線20の形成時には、図6(h')に示すようにアルミ断線23の原因になる。つまり、本実施例ではシリコン酸化膜層12によりアルミ配線20の断線が起りにくくなり、デバイスの信頼性を向上させることができる。

【0032】

【発明の効果】以上説明したように、本発明によれば、開口部表面には散乱により光の透過率が低下するような表面ラフネスが存在せず、良好な表示特性が得られるポリシリコンTFTを製造することができるという効果を奏する。

【0033】その理由は、ポリシリコン層の下地膜は、ELAの際にシリコン原子の移動に起因する凹凸が生じ、また、ポリシリコン層をドライエッチングにより除去する際にダメージが入り更に表面が荒れるが、本発明ではポリシリコン層とガラス基板上に形成したシリコン酸化膜層の間にはシリコン窒化膜層が挿入されており、このシリコン窒化膜層をポリシリコン層除去後にウェットエッチングにより取り除くため、表面の平坦なシリコン酸化膜層を露出させることができるからである。

【0034】また、本発明によれば、キャップアニールを用いたELAの際ポリシリコン層に発生するピンホールに起因する配線の断線を防止することができるという効果を奏する。

【0035】その理由は、キャップ層をウェットエッチングする際、エッチャントがピンホールを通して浸透しても、ポリシリコン層の下地膜のシリコン窒化膜はエッチングされないために、空洞が生じることがないからである。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るポリシリコンTFTの製造方法を模式的に説明するための工程断面図である。

【図2】本発明の第1の実施例に係るポリシリコンTFTの製造方法を模式的に説明するための工程断面図である。

(6) 000-150893 (P2000-150893A)

9

10

【図3】本発明の第2の実施例に係るキャップアニールを用いたポリシリコンTFTの製造方法を模式的に説明するための工程断面図である。

【図4】本発明の第2の実施例に係るキャップアニールを用いたポリシリコンTFTの製造方法を模式的に説明するための工程断面図である。

【図5】従来のポリシリコンTFTの製造方法を示す工程断面図である。

【図6】従来のキャップアニールを用いたポリシリコンTFTの製造方法を示す工程断面図である。

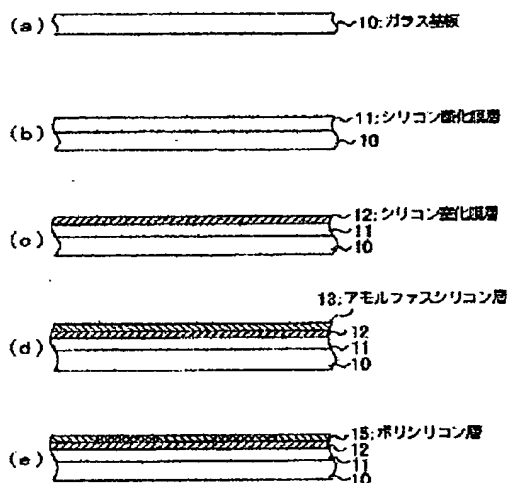
【図7】従来のキャップアニールを用いたポリシリコンTFTの製造方法を示す工程断面図である。

【符号の説明】

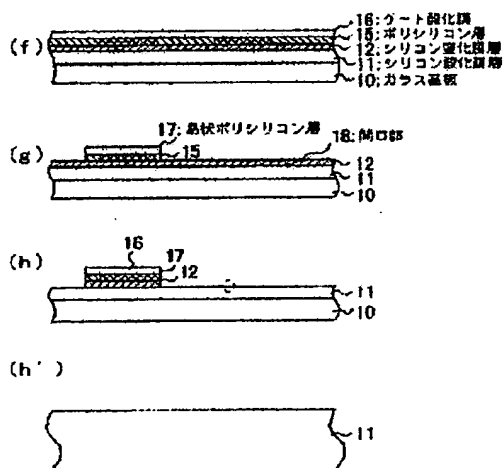
10 ガラス基板

11 シリコン酸化膜層
12 シリコン窒化膜層
13 非晶質シリコン層
14 シリコン酸化膜層
15 ポリシリコン層
16 ゲート酸化膜層
17 島状ポリシリコン層
18 開口部
19 シリコン窒化膜
20 A1配線
21 空洞部分
22 凹部
23 アルミ断線
24 ビンホール

【図1】

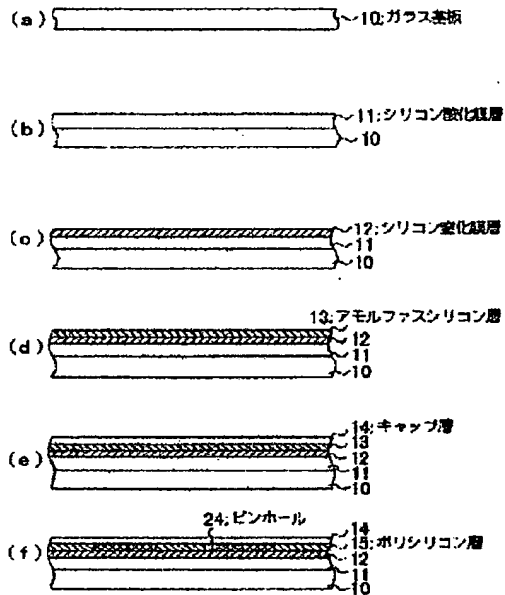


【図2】

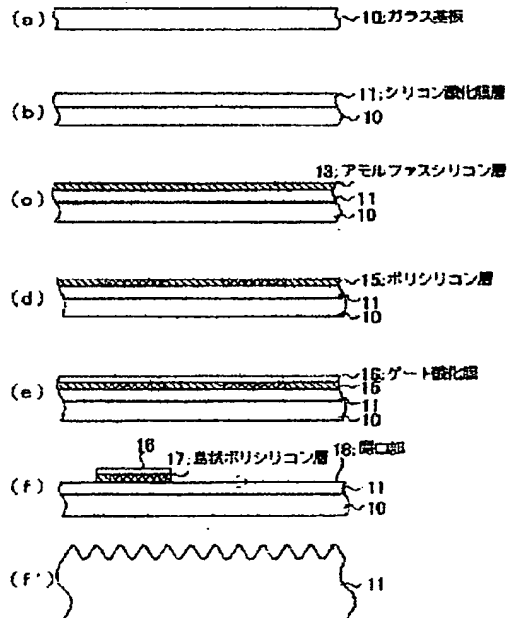


(7) 000-150893 (P2000-150893A)

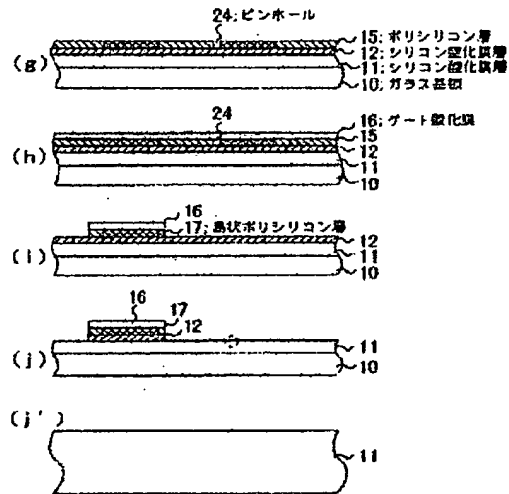
【図3】



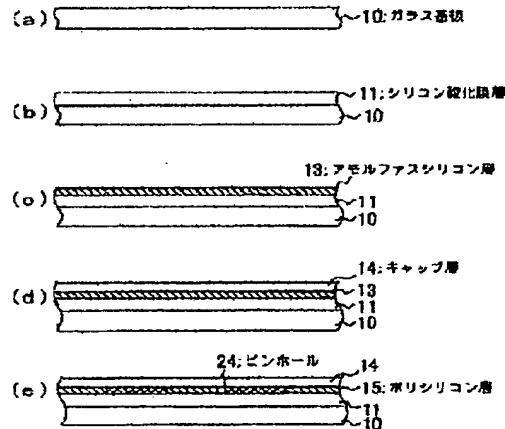
【図5】



【図4】



【図6】



(8) 000-150893 (P2000-150893A)

【図7】

